

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-200062

(43) 公開日 平成10年(1998) 7月31日

(51) IntCl.<sup>6</sup>  
H 0 1 L 27/10  
25/065  
25/07  
25/18

識別記号  
4 9 5

F I  
H 0 1 L 27/10 4 9 5  
25/08 B  
Z

審査請求 未請求 請求項の数 8 F D (全 6 頁)

(21) 出願番号 特願平9-10056

(22) 出願日 平成9年(1997) 1月4日

(71) 出願人 593119169

株式会社ティ・アイ・エフ

東京都大田区山王二丁目5番6-213号

(72) 発明者 池田 孝市

新潟県上越市西城町二丁目5番13

(72) 発明者 池田 毅

東京都大田区山王2丁目5番6-213

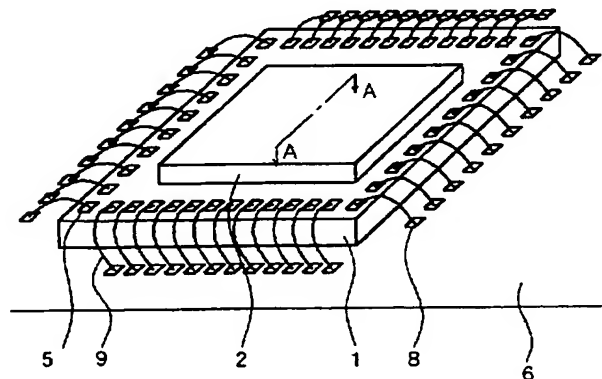
(74) 代理人 弁理士 雨貝 正彦

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 実装が容易で、かつ実装密度を向上できる半導体装置を提供する。

【解決手段】 第1のベアチップ1の素子形成面には複数のパッドが形成され、これらパッドに対応して第2のベアチップ2の素子形成面には複数のパッドが形成されている。第2のベアチップ2は、素子形成面を下にして、すなわちフェースダウンされて第1のベアチップ1の素子形成面上にフリップチップ実装される。第1のベアチップ1の外周側には、第1および第2のベアチップ1、2の入出力端子のそれぞれに対応して外部接続用のパッド5が形成されている。これら外部接続用のパッド5は、プリント配線板6上のパッド8とボンディングワイヤ9により接続される。下の段のベアチップ1のみに外部接続用のパッドを形成したため、COB実装を行う際のワイヤボンディング作業がやりやすくなる。



## 【特許請求の範囲】

【請求項 1】 半導体ウエハから切り出された第 1 のベアチップと、

半導体ウエハから切り出され前記第 1 のベアチップの上面側に実装される第 2 のベアチップとを備え、

前記第 1 のベアチップの上面と前記第 2 のベアチップの下面にはそれぞれ対向する位置に複数のパッドが形成され、対向するパッドはそれぞれバンパを介して接続され、

前記第 1 のベアチップの上面には、前記第 1 および第 2 のベアチップの入出力端子の少なくとも一部に対応する外部接続用パッドが形成され、これら外部接続用パッドは基板上のパッドとボンディングワイヤを介して接続されることを特徴とする半導体装置。

【請求項 2】 請求項 1 において、

前記第 1 のベアチップは、その上面に形成された第 1 のパッド列とこの第 1 のパッド列よりも外周側に形成された第 2 のパッド列とを有し、

前記第 1 のパッド列は前記第 2 のベアチップをフリップチップ実装するために用いられ、前記第 2 のパッド列は前記第 1 のベアチップをプリント配線板に COB (Chip On Board) 実装するために用いられることを特徴とする半導体装置。

【請求項 3】 半導体ウエハから切り出されたベアチップを備え、

前記ベアチップの下面には、基板上のパッドとバンパを介して接続される複数のパッドが形成され、

前記ベアチップの上面には、基板上のパッドとボンディングワイヤを介して接続される複数のパッドが形成されることを特徴とする半導体装置。

【請求項 4】 半導体ウエハから切り出された第 1 のベアチップと、

半導体ウエハから切り出され前記第 1 のベアチップの下面側に実装される第 2 のベアチップとを備え、

前記第 2 のベアチップの下面には、基板上のパッドとバンパを介して接続される複数のパッドが形成され、

前記第 1 のベアチップの上面には、基板上のパッドとボンディングワイヤを介して接続される複数のパッドが形成されることを特徴とする半導体装置。

【請求項 5】 請求項 4 において、

前記第 1 のベアチップの下面と前記第 2 のベアチップの上面にはそれぞれ対向する位置に複数のパッドが形成され、これらパッドはバンパを介して接続されることを特徴とする半導体装置。

【請求項 6】 半導体ウエハから切り出された第 1 のベアチップと、

半導体ウエハから切り出され前記第 1 のベアチップの下面に実装される第 2 のベアチップとを備え、

前記第 1 のベアチップの上面には、基板上のパッドとボンディングワイヤを介して接続される複数のパッドが形

成され、

前記第 1 のベアチップの下面と前記第 2 のベアチップの上面にはそれぞれ対向する位置に複数のパッドが形成され、これらパッドはバンパを介して接続されることを特徴とする半導体装置。

【請求項 7】 請求項 1、2、4～6 のいずれかにおいて、

前記第 2 のベアチップは、メモリチップあるいは CPU 周辺チップであり、前記第 1 のベアチップは CPU チップであることを特徴とする半導体装置。

【請求項 8】 請求項 1、2、4～6 のいずれかにおいて、

前記第 1 および第 2 のベアチップは、いずれもメモリチップであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プリント配線板等の各種基板に実装される半導体装置に関する。

【0002】

【従来の技術】コンピュータプログラムは大型化する傾向にあり、コンピュータ機器に十分な量のメモリが搭載されていなければ満足に動作しない場合も増えてきた。このため、通常のコンピュータ機器は、必要に応じて S I M M (Single Inline Memory Module) や D I M M (Dual Inline Memory Module) などのメモリ基板の追加や交換ができるような構造になっている。

【0003】ところが、S I M M や D I M M は外形寸法が規格で定まっているため、パッケージングされたメモリ IC を用いてメモリ基板を構成すると、メモリ IC のパッケージ自体の外形寸法が大きいことから、メモリ容量をあまり増やせない。

【0004】

【発明が解決しようとする課題】このような問題を解決するために、図 9 に示すように、メモリ IC を上下に重ねて実装することでメモリ容量を倍に増やすメモリモジュールが提案されている。図 9 のメモリモジュールは、超薄型の T C P (Tape Carrier Package) 101 に封入された DRAM チップをメモリモジュール基板上に片面二段に積み重ねたものである。T C P の外形寸法は、半導体ウエハから切り出されたベアチップの外形寸法とほとんど変わらないため、二段に重ねて実装しても S I M M や D I M M の規格を満たすことができる。

【0005】しかしながら、図 9 に示すメモリモジュールは、上の段と下の段の T C P 101 からそれぞれ別々にリードフレーム 102 を引き出しており、これらリードフレーム 102 をすべて基板と接続しなければならぬため実装に手間がかかり、またリードフレーム 102 の短絡や断線等の不良も発生しやすく、製造コストが上昇するおそれがある。

【0006】本発明は、このような点に鑑みて創作され

たものであり、その目的は、実装が容易で実装密度を向上できる半導体装置を提供することにある。

【0007】

【課題を解決するための手段】上述した課題を解決するために、請求項1の半導体装置は、第1のベアチップの上面に第2のベアチップを実装して2段構造にしたことを特徴とする。第1のベアチップ上のパッドと第2のベアチップ上のパッドとはバンパを介して接続される。すなわち、第2のベアチップは、第1のベアチップ上にフリップチップ実装される。第1のベアチップ上には、第2のベアチップの入出力端子の分も含めた複数のパッドが形成されており、これらパッドと基板上のパッドとはボンディングワイヤにより接続される。したがって、第2のベアチップと基板とを直接接続しなくて済み、ワイヤボンディング作業が簡易化する。

【0008】請求項2の半導体装置は、第2のベアチップをフリップチップ実装するための第1のパッド列を第1のベアチップの上面の内周側に形成し、その外周側にボンディングワイヤ接続用の第2のパッド列を形成する。このため、第2のベアチップを実装した後でも、第2のパッド列にボンディングワイヤを取り付けることができる。

【0009】請求項3の半導体装置は、ベアチップ1個で構成され、ベアチップの両面にはパッドが形成される。ベアチップの下面のパッドは基板にフリップチップ実装するために用いられ、上面のパッドは基板にCOB実装するために用いられる。ベアチップの両面方向から基板との接続を行うため、隣接するパッド間を極端に狭くしなくて済み、また、2段構造でないため半導体装置の厚みを薄くできる。

【0010】請求項4の半導体装置は、第1のベアチップの下面に第2のベアチップを実装して2段構造にしたことを特徴とする。第2のベアチップは基板上にフリップチップ実装され、第1のベアチップの上面に形成されたパッドはボンディングワイヤを介して基板上のパッドと接続される。

【0011】請求項5の半導体装置は、第1のベアチップの下面に第2のベアチップをフリップチップ実装する。第1のベアチップの上面には、第2のベアチップの入出力端子の分も含めた複数のパッドが形成されており、これらパッドと基板上のパッドとはボンディングワイヤにより接続される。

【0012】請求項6の半導体装置は、第1のベアチップの下面に第2のベアチップを実装して2段構造にしたことを特徴とする。第2のベアチップは第1のベアチップの下面にフリップチップ実装され、第2のベアチップの下面は例えば接着剤等により基板と接続される。

【0013】請求項7の半導体装置は、一方の段をCPUチップとし、他方の段をメモリチップあるいはCPU周辺チップとするため、これらチップ間の信号のやり取

りを高速化でき、かつ信号線の引き回しによるノイズの影響を回避できる。

【0014】請求項8の半導体装置は、2つのメモリチップを重ねるため、メモリ基板の実装密度を2倍に上げることができる。

【0015】

【発明の実施の形態】以下、本発明を適用した半導体装置について、図面を参照しながら具体的に説明する。

【0016】〔第1の実施形態〕図1は本発明に係る半導体装置の第1の実施形態の斜視図、図2は図1のA-A線の断面図である。これらの図に示すように、本実施形態の半導体装置は、半導体ウエハから切り出された第1および第2のベアチップ1、2を二段に重ねた構造を有する。第1のベアチップ1は例えばCPUチップであり、第2のベアチップ2は、例えばメモリチップである。

【0017】図2に示すように、第1のベアチップ1の素子形成面には複数のパッド3が形成され、これらパッドに対応して第2のベアチップ2の素子形成面にも複数のパッド4が形成されている。第2のベアチップ2は、素子形成面を下にして、すなわちフェースダウンされて第1のベアチップ1の素子形成面上にフリップチップ実装される。フリップチップ実装の詳細については後述する。

【0018】図3(a)、(b)はそれぞれ、第1および第2のベアチップ1、2の素子形成面の構造を簡略化して示した図である。第1のベアチップ1の素子形成面には、図3(a)に示すように、内周側と外周側の2列に複数のパッドが形成されている。内周側のパッド3は、第2のベアチップ2と接続するために設けられ、外周側のパッド5は、プリント配線板6にCOB実装するために設けられている。外周側のパッド5は、第1および第2のベアチップ1、2の入出力端子のそれぞれに対応して設けられており、外周側のパッド5のうち、第2のベアチップ2の入出力端子に対応するパッドは、第1のベアチップ1上の配線パターン10を介して内周側のパッド3と接続されている。

【0019】一方、第2のベアチップ2の素子形成面には、第1のベアチップ1の内周側のパッド3と同間隔で同数のパッド4が形成されている。第1のベアチップ1のパッド3と第2のベアチップ2のパッド4は、図2に示すように半田ボールや金ボール等のバンパ7を介して接続される。このようなフリップチップ実装を行うことにより、第2のベアチップ2のパッド4は、バンパ7と、第1のベアチップ1の内周側のパッド3と、配線パターン10とを介して、第1のベアチップ1の外周側のパッド5との電気的な導通が確保される。

【0020】図4は本実施形態の半導体装置の製造工程を示す図である。まず、図4(a)に示すように、半導体ウエハから切り出された第2のベアチップ2上のパッ

ド4にパンプ7を取り付ける。次に図4(b)に示すように、第2のベアチップ2の素子形成面を下にして第1のベアチップ1に接合する。次に、第1のベアチップ1をプリント配線板6上に位置決めした後、図1に示したように外周側のパッド5とプリント配線板6上のパッド8とをボンディングワイヤ9により接続する。次に、チップ本体とボンディングワイヤ9を保護するために、プリント配線板6上に実装された半導体装置の表面全体を樹脂で覆う。

【0021】このように、本実施形態の半導体装置は、2種類のベアチップ1、2を上下に重ねた構造を有し、上段のベアチップ2を下段のベアチップ1上にフリップチップ実装するため、半導体装置全体の厚みを薄くすることができる。したがって、高さ制限の厳しいSO-DIMMやSIMMなどにも無理なく実装できる。

【0022】また、外部接続用のパッド5を下段のベアチップ1にだけ設けたため、プリント配線板6にCOB実装する際のワイヤボンディング作業がやりやすくなる。特に、上の段のベアチップ2からボンディングワイヤ9を引き出さなくて済むため、ボンディングワイヤ9の短絡や断線等の不良発生率を低く抑えることができる。また、下の段のベアチップ1の構造は変える必要があるものの、上の段のベアチップ2は従来のチップをそのまま利用できるため、大幅な設計変更にはならない。例えば、第1のベアチップ1をCPUチップとし、第2のベアチップ2をメモリチップとした場合には、CPUチップの素子構造だけを一部変更すればよく、メモリチップについては従来品をそのまま利用できる。

【0023】また、上の段のベアチップ2のパッド4は、パンプ7や配線パターン10を介して下の段のベアチップ1の外周側のパッド5と接続されており、接続にボンディングワイヤ9を用いていないため、上の段のベアチップ2の入出力端子に対応するパッドを下段に設けても信号遅延量が問題になることはなく、かつノイズによる影響もほとんど受けない。

【0024】〔第2の実施形態〕以下に説明する第2の実施形態は、第1の実施形態とは逆に、2段構造の半導体装置の上段側からボンディングワイヤを引き出すものである。

【0025】図5は第2の実施形態の半導体装置の斜視図、図6は図5のB-B線断面図である。これらの図に示すように、第2の実施形態の半導体装置は、第3および第4のベアチップ11、12を上下に重ねた構造を有しており、第3のベアチップ11の下面側に形成されたパッド13と第4のベアチップの上面側に形成されたパッド14とはパンプ15を介して接続されている。第3のベアチップ11の上面側には複数のパッド16が形成され、これらパッド16とプリント配線板6上のパッド8とはボンディングワイヤ9によって接続されている。また、第4のベアチップ12の下面側には複数のパッド

17が形成され、これらパッド17はパンプ15を介してプリント配線板6上にフリップチップ実装される。

【0026】第4のベアチップ12の上面側のパッド14は、パンプ15と第3のベアチップ11の下面側のパッド13と不図示の配線パターンを介して第3のベアチップ11の上面側のパッド16と電気的に導通している。すなわち、第4のベアチップ12が有する入出力端子のうち一部は、第3のベアチップ11の上面側のパッド14を介してプリント配線板6と接続され、残りの入出力端子は、第4のベアチップ12の下面側のパッド13とパンプ15を介してプリント配線板6と接続されている。

【0027】このように、第2の実施形態の半導体装置は、上の段のベアチップ11からのみボンディングワイヤ9を引き出すため、ボンディングワイヤ9の高さをほぼ一定にすることができる。また、下の段のベアチップ12が有する入出力端子の一部は上の段のベアチップ11を介してプリント配線板6と接続し、残りの入出力端子だけをパンプ15を介してプリント配線板6と接続するため、パンプ15の数を減らすことができ、入出力端子の数が多くても無理なく実装することができる。

【0028】なお、第4のベアチップ12が有する入出力端子すべてに対応するパッドを第3のベアチップ11の上面に設ければ、第4のベアチップ12をプリント配線板6上にフリップチップ実装する必要がなくなる。このため、図7(a)に示すよう、第4のベアチップ12は、接着剤等によってプリント配線板6に直接接着することができ、実装作業が楽になるとともに、半導体装置の厚みも薄くなる。

【0029】逆に、第4のベアチップ12が有する入出力端子すべてに対応するパッドを第4のベアチップ12の下面に設ければ、第4のベアチップ12を第3のベアチップ11にフリップチップ実装する必要がなくなる。このため、図7(b)に示すように、両チップは接着剤等で直接接着することが可能となる。

【0030】ところで、上述した第1および第2の実施形態では、CPUチップとメモリチップを上下に重ねる例を説明したが、上下に重ねるベアチップの種類としては、CPUチップやメモリチップの他に、CPU周辺チップやグラフィックチップなど種々のベアチップが考えられる。例えば、第1および第2のベアチップ1、2を両方ともメモリチップにすれば、単位実装面積当たりのメモリ容量を倍に増やすことができる。また、一方のベアチップとしてCPUチップを用い、他方のベアチップとしてCPU周辺チップを用いれば、これらチップ間で高速に信号をやり取りできるため、CPUのクロック速度をより高速にすることができる。

【0031】上述した実施形態では、2種類のベアチップを上下に重ねた例を示したが、図8に示すように、1つのベアチップの下面側にフリップチップ実装用のパッド

ドを形成し、上面側にCOB実装用、すなわちボンディングワイヤ接続用のパッドを形成し、ベアチップの両面方向から基板との接続を行ってもよい。

【0032】図8のような実装を行えば、入出力端子数の多い高集積のLSIベアチップであっても、パッド間を極端に狭くすることなく実装することができる。

【0033】

【発明の効果】以上詳細に説明したように、本発明によれば、第1および第2のベアチップを上下に重ねた二段構造にしたため、実装面積を約半分にすることができ、高密度実装が可能となる。また、ベアチップを上下に重ねるため、半導体装置の厚みを薄くすることができ、高さ制限の厳しいSO-DIMM基板などにも無理なく実装できる。

【0034】また、いずれか一方のベアチップのみに外部接続用のパッドを形成するため、COB実装を行う場合のワイヤボンディング作業がやりやすくなり、ボンディングワイヤの短絡や断線等の不良の発生率も低くなる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の第1の実施形態の斜視図である。

【図2】図1のA-A線断面図である。

\* 【図3】 (a) は第1のベアチップの素子形成面の構造を簡略化して示した図、(b) は第2のベアチップの素子形成面の構造を簡略化して示した図である。

【図4】本実施形態の半導体装置の製造工程を示す図である。

【図5】本発明に係る半導体装置の第2の実施形態の斜視図である。

【図6】図5のB-B線断面図である。

【図7】 (a) は第4のベアチップをプリント配線板上に直接接着した例、(b) は第3のベアチップと第4のベアチップを直接接着した例を示す図である。

【図8】ベアチップ1個で半導体装置を構成した図である。

【図9】メモリICを二段重ねにしたメモリモジュールの従来例を示す図である。

【符号の説明】

1 第1のベアチップ

2 第2のベアチップ

3～5、8 パッド

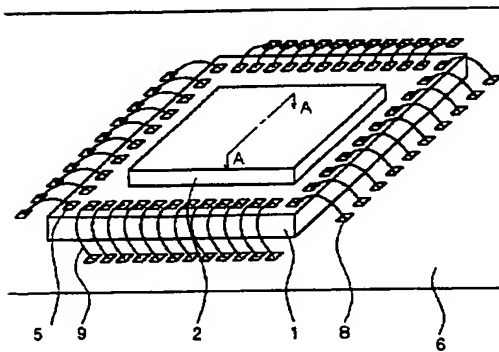
20 6 プリント配線板

7 バンプ

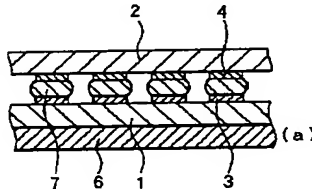
9 ボンディングワイヤ

\* 10 配線パターン

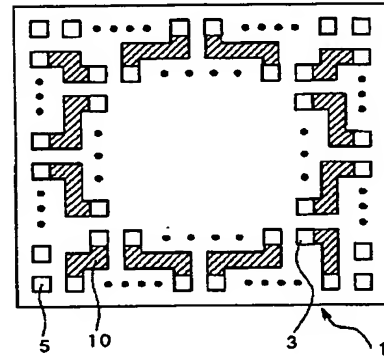
【図1】



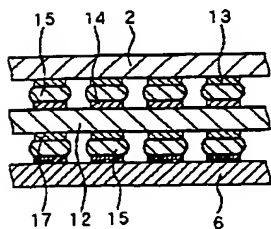
【図2】



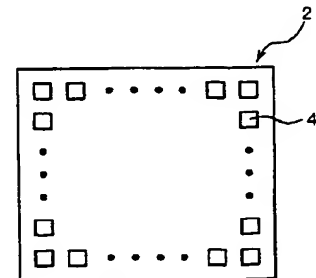
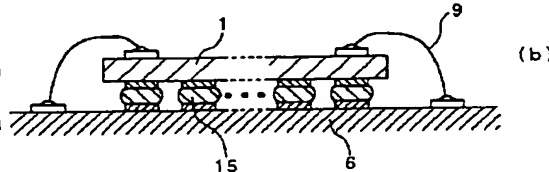
【図3】



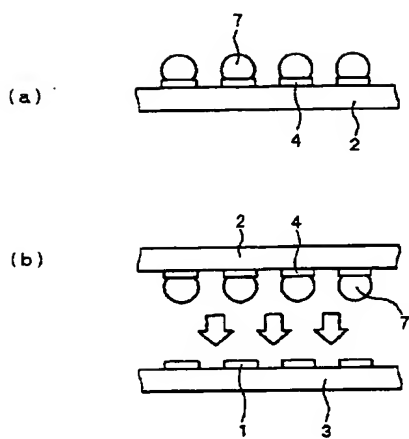
【図6】



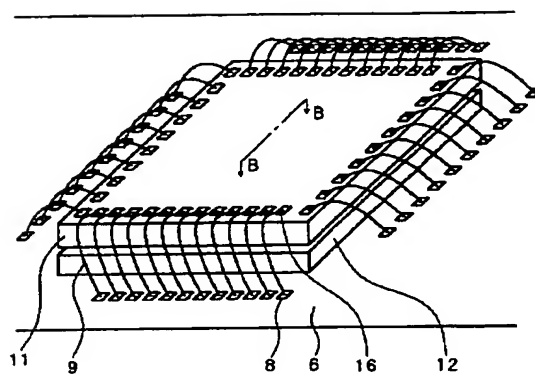
【図8】



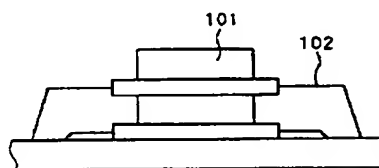
【図4】



【図5】



【図9】



【図7】

